

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-176504

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

H01L 21/304
H01L 21/3065

(21)Application number : 05-317232

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.12.1993

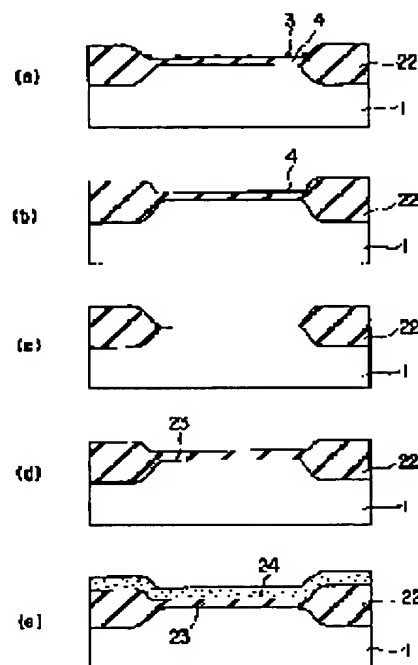
(72)Inventor : TOMITA HIROSHI
MINAZU YASUMASA
OKANO HARUO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To remove the main causes of defects by a method wherein at least either an organic material or a metal is removed by dry etching in the state wherein the substrate to be treated is isolated from the outside air, a natural oxide film is removed by dry etching, and an insulating film is formed on the region where the natural oxide film is removed.

CONSTITUTION: The first processing gas is introduced, the atmosphere in a reaction chamber is formed into the first atmosphere, and the metal impurities and the organic substance on the surface of a substrate are removed. Then, the second processing gas is introduced, the atmosphere of the reaction chamber is formed in the second atmosphere, and the natural oxide film 4 on the surface of the semiconductor substrate 1 is removed. Then, the third processing gas is introduced, and the atmosphere in the reaction chamber is formed into the third atmosphere. Subsequently, the semiconductor substrate 1 and the third atmosphere are heated up at high speed, the high temperature is maintained for the prescribed period of time, and a gate oxide film 23 is formed on the semiconductor substrate 1.



LEGAL STATUS

[Date of request for examination]

07.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

3210510

[Date of registration]

13.07.2001

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3210510号
(P3210510)

(45) 発行日 平成13年 9 月 17 日 (2001. 9. 17)

(24) 登録日 平成13年 7 月 13 日 (2001. 7. 13)

(51) Int.Cl.¹H 0 1 L 21/304
21/3065

識別記号

6 4 5

F I

H 0 1 L 21/304
21/3026 4 5 Z
N

請求項の数10(全 12 頁)

(21) 出願番号 特願平5-317232

(22) 出願日 平成 5 年 12 月 17 日 (1993. 12. 17)

(65) 公開番号 特開平7-176504

(43) 公開日 平成 7 年 7 月 14 日 (1995. 7. 14)

審査請求日 平成11年 9 月 7 日 (1999. 9. 7)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 富田 寛

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝研究開発センター内

(72) 発明者 水津 康正

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝研究開発センター内

(72) 発明者 岡野 晴雄

神奈川県川崎市幸区小向東芝町 1 番地

株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦

審査官 森川 元嗣

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 表面に自然酸化膜が形成された複数の被処理基体をバッチ式の一つの処理室内に收容し、前記複数の被処理基体を外気から遮断した状態で、前記自然酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第 1 の工程と、この第 1 の工程後、前記自然酸化膜をドライ洗浄によって除去する第 2 の工程と、前記自然酸化膜が除去された領域に絶縁膜を形成する第 3 の工程とを有し、かつ前記第 1 の工程から前記第 3 の工程までの一連の工程を前記処理室内で連続して行うことを特徴とする半導体装置の製造方法。

【請求項 2】 予め表面に犠牲酸化膜を形成した複数の被処理基体をバッチ式の一つの処理室内に收容し、前記被処理基体を外気から遮断した状態で、

2

前記犠牲酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第 1' の工程とこの第 1' の工程後、前記犠牲酸化膜をドライ洗浄によって除去する第 2' の工程と、前記犠牲酸化膜が除去された領域に絶縁膜を形成する第 3' の工程とを有し、かつ前記第 1' の工程から前記第 3' の工程までの一連の工程を前記処理室内で連続して行うことを特徴とする半導体装置の製造方法。

【請求項 3】 前記第 3 の工程または前記第 3' の工程の後に、前記絶縁膜上に電極としての膜を形成する第 4 の工程または第 4' の工程をさらに有し、かつ前記第 1 の工程または前記第 1' の工程から前記第 4 の工程または前記第 4' の工程までの一連の工程を前記処理室内で連続して行うことを特徴とする請求項 1 または請求項 2 に半導体装置の製造方法。

【請求項4】前記第3の工程または前記第3'の工程において、前記自然酸化膜が除去された領域上に前記絶縁膜よりも薄い初期絶縁膜を形成した後、前記絶縁膜を形成することを特徴とする請求項1または請求項2に半導体装置の製造方法。

【請求項5】前記初期絶縁膜の成膜温度は700℃以下、前記初期絶縁膜の膜厚は1nm以下であることを特徴とする請求項4に半導体装置の製造方法。

【請求項6】前記第1の工程または前記第1'の工程のドライ洗浄は、ハロゲン原子を含むガスを添加した酸化性雰囲気中での600℃以下の熱処理であることを特徴とする請求項1または請求項2に半導体装置の製造方法。

【請求項7】前記被処理基体および前記処理室の温度を200℃以上に保持した状態で、前記第1の工程または第1'の工程から前記第3の工程または第3'の工程までの一連の工程を行うことを特徴とする請求項1または請求項2に半導体装置の製造方法。

【請求項8】前記処理室は、成膜装置のバッチ式・ホットウォール型・単一処理室であることを特徴とする請求項1または請求項2に半導体装置の製造方法。

【請求項9】表面に自然酸化膜が形成された被処理基体を処理室内に収容し、前記被処理基体を外気から遮断した状態で、

前記自然酸化膜に存在する有機物または金属の少なくとも一方をドライ洗浄によって除去する第1の工程と、この第1の工程後、前記自然酸化膜をドライ洗浄によって除去する第2の工程と、

前記自然酸化膜が除去された領域に絶縁膜を形成する第3の工程とを有し、かつ前記第1の工程と前記第3の工程との間に、前記被処理基体の表面を平坦化する工程を有することを特徴とする半導体装置の製造方法。

【請求項10】予め表面に犠牲酸化膜を形成した被処理基体を処理室内に収容し、前記被処理基体を外気から遮断した状態で、

前記犠牲酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第1'の工程とこの第1'の工程後、前記犠牲酸化膜をドライ洗浄によって除去する第2'の工程と、

前記犠牲酸化膜が除去された領域に絶縁膜を形成する第3'の工程とを有し、かつ前記第1'の工程と前記第3'の工程との間に、前記被処理基体の表面を平坦化する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特に信頼性の高い絶縁膜の形成工程を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上は、集積度を高めることにより実現できるが、そのためには信頼性の高い製造技術を確立する必要がある。半導体装置の性能を劣化させる要因のうち、製造工程に係わるものとしては、以下の四つものが最大のものである。

【0004】(A)Fe、Cu等に代表される重金属とAl、Na等に代表される軽金属

(B)湿式洗浄や管理されない雰囲気により基板上に形成される自然酸化膜

(C)管理されない雰囲気からのその他の汚染、例えば、クリーンルーム内の有機物や、基板の保管容器からの有機物など

(D)半導体基板表面のマイクロラフネス

(A)の金属不純物は、ゲート絶縁膜の絶縁破壊耐圧や、リーク電流等の劣化原因になる。

【0005】(B)の自然酸化膜は、湿式のHF系の処理を行なった後、基板を放置する時間が増すにつれて増加していく。また、10nm程度またはそれ以下の薄い膜厚が求められるゲート酸化膜の成膜の場合、膜質の劣る自然酸化膜(B)の存在は、ゲート酸化膜全体の特性を低下させる原因となる。

【0006】(C)の有機物は、大気中にウエハを放置することで吸着する。また、ダスト除去に用いられるSC1洗浄(RCA洗浄)等は、アルカリエッチング溶液を用いるため、基板表面のマイクロラフネス(D)が増加する。さらに近年、ゲート絶縁膜上に吸着した有機物や金属は、多結晶半導体薄膜の結晶粒の異常成長を引き起こすことが明らかになってきた。

【0007】(D)のマイクロラフネスは、ゲート酸化膜の絶縁耐圧特性などの信頼性を低下させる。また、薄いゲート酸化膜の成膜の場合、基板表面のマイクロラフネス(D)が増加すると、ゲート絶縁膜中で局所的な電界集中が発生し、絶縁破壊に到る。

【0008】一般に、(A)から(C)までの不良要因は、湿式洗浄によって最初に除去される。しかし、実際には洗浄溶液の酸性度によっても異なるが、洗浄溶液中の金属不純物(A)が活性な基板表面に現状でも $10^9 \sim 10^{12} \text{ atoms/cm}^2$ 程度逆吸着する問題がある。

【0009】また、現状では、ゲート酸化膜を酸化炉で形成した後、酸化膜上に電極膜を堆積するために、LPCVD装置等の別の成膜装置に基板を搬送している。このため、ゲート酸化膜上に、クリーンルーム内の金属不純物(A)、有機物(C)、またはウエハの保管容器

からの有機物（C）などが吸着する現象を避けることができない。

【0010】EEPROM等の不揮発性メモリーに代表されるように、高信頼性の酸化膜が要求される半導体装置では、その製造工程において、これらの不良要因を従来にも増して厳しく管理し、徹底的に排除することが求められている。

【0011】このため、近年では、半導体基板を外気に曝さずに管理された雰囲気中において、必要なドライ洗浄処理を続けて行なった後に必要なプロセスを行なうといういわゆる連続処理技術が多く提案されている。

【0012】例えば、ゲート酸化膜の形成工程の場合、金属不純物（A）と自然酸化膜（B）の除去工程、または有機物（C）の除去工程の後に続けてゲート酸化の成膜を行なうのが主流である。

【0013】上記（A）～（D）までの不良要因は、高信頼性が要求される絶縁膜、特に高電界が印加されるトンネル酸化膜等の場合には、どれも同等な不良または性能低下をもたらすものである。

【0014】しかしながら、各不良要因について個別的な除去技術について従来より提案されていたが、全ての不良要因を整合的に除去する技術は提案されていなかった。このため、信頼性の高いトンネル酸化膜の成膜が困難になり、EEPROM等の半導体装置の信頼性を改善するのが困難であるという問題があった。

【0015】

【発明が解決しようとする課題】上述の如く、高信頼性が要求される絶縁膜の成膜の場合、上記（A）～（D）までの不良要因は、どれも同等な不良または性能低下をもたらすものである。しかし、従来の技術では、不良要因を整合的に除去することができず、高信頼の高い絶縁膜を形成するのが困難であるという問題があった。

【0016】本発明は、上記事情を考慮してなされたもので、その目的とするところは、絶縁膜の成膜に先立って、不良要因を整合的に除去できる工程を有する半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体装置の製造方法（請求項1）は、表面に自然酸化膜が形成された複数の被処理基体をバッチ式の一つの処理室内に収容し、前記複数の被処理基体を外気から遮断した状態で、前記自然酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第1の工程と、この第1の工程後、前記自然酸化膜をドライ洗浄によって除去する第2の工程と、前記自然酸化膜が除去された領域に絶縁膜を形成する第3の工程とを有し、かつ前記第1の工程から前記第3の工程までの一連の工程を前記処理室内で連続して行うことを特徴とする。

【0018】また、本発明の他の半導体装置の製造方法

（請求項2）は、予め表面に犠牲酸化膜を形成した複数の被処理基体をバッチ式の一つの処理室内に収容し、前記被処理基体を外気から遮断した状態で、前記犠牲酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第1'の工程とこの第1'の工程後、前記犠牲酸化膜をドライ洗浄によって除去する第2'の工程と、前記犠牲酸化膜が除去された領域に絶縁膜を形成する第3'の工程とを有し、かつ前記第1'の工程から前記第3'の工程までの一連の工程を前記処理室内で連続して行うことを特徴とする。

【0019】また、本発明の他の半導体装置の製造方法（請求項9）は、表面に自然酸化膜が形成された被処理基体を処理室内に収容し、前記被処理基体を外気から遮断した状態で、前記自然酸化膜に存在する有機物または金属の少なくとも一方をドライ洗浄によって除去する第1の工程と、この第1の工程後、前記自然酸化膜をドライ洗浄によって除去する第2の工程と、前記自然酸化膜が除去された領域に絶縁膜を形成する第3の工程とを有し、かつ前記第1の工程と前記第3の工程との間に、前記被処理基体の表面を平坦化する工程を有することを特徴とする。また、本発明の他の半導体装置の製造方法

（請求項10）は、予め表面に犠牲酸化膜を形成した被処理基体を処理室内に収容し、前記被処理基体を外気から遮断した状態で、前記犠牲酸化膜に存在する有機物および金属の少なくとも一方をドライ洗浄によって除去する第1'の工程とこの第1'の工程後、前記犠牲酸化膜をドライ洗浄によって除去する第2'の工程と、前記犠牲酸化膜が除去された領域に絶縁膜を形成する第3'の工程とを有し、かつ前記第1'の工程と前記第3'の工程との間に、前記被処理基体の表面を平坦化する工程を有することを特徴とする。また、本発明の好ましい実施態様は以下の通りである。

【0020】実施態様（1）

前記被処理基体の表面に自然酸化膜を形成する湿式洗浄を行なった後に、前記被処理基体を前記処理室内に収納する。

【0021】実施態様（2）

第3（3'）の工程の後、前記被処理基体を前記処理室内に収納したまま、前記絶縁膜上に電極を形成する工程を続けて行なう。

【0022】実施態様（3）

第3（3'）の工程の被処理基体上に絶縁膜を形成する工程において、700℃以下の温度で、約1nm程度以下の初期絶縁膜を形成した後、連続して絶縁膜を形成する。

【0023】実施態様（4）

平坦化処理は、被処理基体の表面を酸化して酸化膜（犠牲酸化膜）を形成し、この犠牲酸化膜のドライ洗浄による剥離工程を少なくとも一回以上繰り返す工程、あるいは被処理基体の表面にシリコンエピタキシャル薄膜を成長

させる工程、あるいは被処理基体の表面を化学ドライエッチング(CDE)によってエッチングする工程、或いは被処理基体の表面を真空または不活性ガス中で約80℃以上の温度でアニールする工程で構成する。

【0024】実施態様(5)

実施態様(4)において、犠牲酸化膜の形成工程は、少なくとも酸素元素とハロゲン元素を含むガスを用いて行なう。

【0025】実施態様(6)

実施態様(4)において、犠牲酸化膜のドライ洗浄工程は、HFを含むガス雰囲気中に前記犠牲酸化膜を暴露させ行なう。

【0026】実施態様(7)

前記犠牲酸化膜に存在する(例えば犠牲酸化膜の表面、内部)有機物もしくは金属の少なくとも一方をドライ洗浄によって除去する工程の前に、前記犠牲酸化膜の表面に水、有機溶剤、シリコン等が凝縮した微粒子、もしくは高速ガス原子または分子線、低エネルギーイオンのいずれかを照射して、前記犠牲酸化膜表面のダストを除去する。

【0027】実施態様(8)

第1(1')工程の金属のドライ洗浄による除去は、ハロゲン元素を含むガス雰囲気中で被処理基体を熱処理して行なう。この場合、特に400℃以上600℃以下、好ましくは550℃以下の温度で熱処理すると良い。また、非酸化性雰囲気で行なうことが好ましい。

【0028】実施態様(9)

第1(1')工程の有機物のドライ洗浄による除去は、酸素元素を含むガス雰囲気中で被処理基板を熱処理し、前記有機物を灰化して行なう。

【0029】実施態様(10)

第2(2')工程の自然酸化膜のドライ洗浄による除去は、HFを含むガス、水素またはシラン系ガスのいずれかの雰囲気中への暴露、もしくは真空中あるいは不活性ガス雰囲気中で被処理基板を熱処理して行なう。

【0030】なお、本発明において犠牲酸化膜とは、被処理基体の表面上に予め形成しておく酸化膜のことを指し、被処理基体の表面をプラズマ酸化や熱酸化等により酸化して形成しても良いし、CVD法により上記被処理基体の表面上に基体構成材料の酸化膜等の酸化膜を形成しても良い。この場合、基体構成材料の窒化膜等、他の絶縁膜を形成することも可能である。

【0031】

【作用】本発明者等の研究によれば、不良要因を整合的に取り除くことを考えた場合、それらの除去順序が重要であることが分かった。すなわち、(A)～(C)までの不良要因の全てを整合的に取り除く場合には、本発明(請求項1, 2)の順序で各不良要因を除去すれば良いことが分かった。

【0032】更に、(A)～(D)までの不良要因の全

てを整合的に取り除く場合には、本発明(請求項3)の順序で各不良要因を除去すれば良いことが分かった。以下、本発明、実施態様の内容について説明する。

【0033】最初に、半導体基板に吸着した金属不純物(A)と有機物(C)の不良要因を除去するために、湿式洗浄として自然酸化膜が形成される洗浄処理を行なった後、半導体基板を雰囲気管理された反応室内に収納する。

【0034】このとき、最終仕上げをHF系の湿式洗浄+水洗処理によって行なうと、活性なシリコン基板の表面が溶液中または気相中に露出するので、以下に述べる金属不純物(A)、有機物(C)の逆汚染が問題となる。

【0035】例えば、Cu、Ni等の一部の金属は、HF系の溶液中に存在すると、活性なシリコン基板の表面に逆吸着する。これらの金属は、基板表面に吸着した段階で、安定な金属シリサイドを形成するという不都合がある。

【0036】また、洗浄溶液から半導体基板を取り出す際に、クリーンルーム内のダストや有機物が活性なシリコン基板の表面に吸着する。活性なシリコン基板の表面に吸着した有機物が、一旦シリコンカーバイド(SiC)等の安定な結合を形成すると、その後にドライ洗浄を行なっても、半導体基板のエッチングを伴わないクリーニング方法では、除去が非常に困難である。更に、エッチングを伴うクリーニング方法を行なった場合は、エッチングレートの差から別の不良要因であるマイクロラフネス(D)が増加する。

【0037】したがって、最終仕上げを自然酸化膜が形成されるようにすれば、上述した金属不純物(A)、有機物(C)が直接半導体基板上に吸着する問題を解決でき、更に、後工程のドライ洗浄にて、半導体基板に悪影響を及ぼすことなく除去できる。

【0038】次に湿式洗浄によってある程度除去できた金属不純物(A)と有機物(C)をインラインのドライ洗浄によって完全に除去する。これらに関しては、どのような手法を用いても良い。

【0039】例えば、ハロゲン原子を含むガス(例えばHClガス)を添加した酸化性雰囲気中で例えば約600℃程度以下の温度で熱処理することで、半導体基板上の金属不純物(A)、有機物(C)を除去できる。

【0040】この場合、金属不純物(A)は蒸気圧の高い金属塩化物となって気相中に除去され、一方、有機物(C)は酸化性雰囲気中で燃焼し、炭酸ガスとなって気相中に除去される。

【0041】次に自然酸化膜(C)を除去する。自然酸化膜のドライ洗浄は、HFを含むガス、水素またはシラン系のいずれかのガス雰囲気中への暴露、若しくは真空中または不活性ガス雰囲気中での熱処理により行なう。

【0042】以上の(A)～(C)の不良要因はこの順

序で除去することが重要である。何故なら、上述したように金属不純物(A)と有機物(C)の除去前に、自然酸化膜(B)の除去を行なった場合には、これらの不純物が活性なシリコン基板の表面と結合(一部はシリコン基板内に拡散)し、除去が困難になるからである。

【0043】特に自然酸化膜(C)の除去をHFを含むガスで行なった場合には、上述したようにシリコン基板の表面に残った金属不純物(A)の一部が安定なフッ化物となり、その後のドライ洗浄において除去できなくなる。また、自然酸化膜(C)の除去をシラン還元、真空または不活性ガス中での高温アニールにより行なった場合には、この高温処理のためにシリコン基板上の金属不純物(A)がシリコン基板内に拡散し、その後に行なう金属不純物(A)と有機物(C)の除去において、それらを効率良く除去できなくなる。

【0044】また別な理由として、先に自然酸化膜(C)の除去を行なった後に、ハロゲン系のガスを用いた金属不純物(A)の除去を試みると、シリコン基板も同時にエッチングされてしまうため、基板表面のマイクロラフネス(D)が増加してしまう。

【0045】以上の問題点があるため、本発明では、金属不純物(A)と有機物(C)の除去した後に、自然酸化膜を除去している。マイクロラフネス(D)の除去は、金属不純物(A)と有機物(C)とを除去した後、自然酸化膜(B)の除去前または除去後に、犠牲酸化膜の形成工程とドライ洗浄による犠牲酸化膜の剥離工程とからなるプロセスを一回以上繰り返すことによる、基板表面の平坦化により行なえる。

【0046】または、金属不純物(A)と有機物(C)とを除去した後、真空中または不活性ガス雰囲気中にて約800℃以上の高温アニールを行なうことによっても基体表面の平坦化が行なえる。

【0047】他のマイクロラフネス(D)の除去は、自然酸化膜(B)を除去した後、シリコン基板上にシリコン薄膜をエピタキシャル成長させたり、平坦化CDEによっても行なえる。

【0048】このような順序で(A)～(D)の不良要因を除去すれば、(A)～(D)の不良要因は、整合的且つ効果的に除去される。更に、前述のドライ洗浄工程に加えて、絶縁膜の形成工程(酸化工程)と、減圧処理である電極用の半導体薄膜の形成工程(電極膜形成工程)とを連続して同一反応室で行なうことによつて、例えば、ゲート絶縁膜上の吸着する金属不純物(A)または有機物(C)に起因する、電極用の半導体薄膜としての多結晶半導体薄膜中の結晶粒の異常成長を防止できる。

【0049】したがって、フラッシュメモリ等のように、高信頼性の絶縁膜が要求されるデバイスについて言えば、上述したように、絶縁膜の形成工程前から各種の不良要因を整合的且つ効果的に除去するドライ洗浄工

程、ゲート絶縁膜の形成工程、電極膜形成工程とを含む一連のMOS製造工程を、管理されたプロセス雰囲気下で続けて行なうことが非常に重要となる。

【0050】次に本発明の他の方法(請求項2)について説明する。この方法は、ゲート酸化膜の形成領域上に形成された犠牲酸化膜に吸着した金属不純物とダストをある程度除去する湿式洗浄処理以外は、ゲート酸化膜を形成する部分に、湿式洗浄の前処理を一切行なわないことを特徴としている。

【0051】最初に、ゲート酸化膜の形成領域上に形成された犠牲酸化膜に吸着したダストをある程度除去するために、半導体基板を湿式洗浄する。次に半導体基板をダスト、不純物等が管理された成膜装置内に収納する。その後、必要であるなら、犠牲酸化膜表面に、水、有機溶剤、シリコン等が凝縮した微粒子、或いは高速ガス原子、高速ガス分子線または低エネルギーイオンのいずれかを照射して、湿式洗浄から成膜装置搬入までの間に逆吸着した犠牲酸化膜表面のダストを除去する。

【0052】次に犠牲酸化膜上の金属不純物(A)と有機物(C)をドライ洗浄によって除去した後、犠牲酸化膜をHFを含むガス雰囲気中でのドライ洗浄によって除去する。

【0053】次に基板表面のマイクロラフネス(D)の平坦化を行なうために、犠牲酸化膜形成とドライ洗浄による犠牲酸化膜の剥離工程とからなるプロセスを一回以上繰り返す。または、真空中あるいは不活性ガス中にて、約800℃以上の高温アニールを行なうことによつても、基板表面のマイクロラフネス(D)の平坦化が行なえる。

【0054】この後、ゲート酸化膜、電極用の多結晶半導体膜を形成する。なお、上記方法による平坦化の代わりに、犠牲酸化膜の除去後、シリコン基板上にエピタキシャル薄膜を成長させたり、平坦化CDEによつても、マイクロラフネス(D)の平坦化を行なえる。

【0055】犠牲酸化膜を湿式洗浄で剥離した後、ゲート酸化膜を形成する前に前処理として、湿式洗浄処理を行なう従来のプロセスシーケンスとは異なり、本発明では、犠牲酸化膜を管理されたプロセス雰囲気中でのドライ洗浄によって剥離しているため、ゲート酸化膜を形成する領域は一切外気に晒さずに、ドライ洗浄のみでゲート酸化膜を形成できる。したがって、(A)～(D)までの不良要因の発生を完全に防止し、且つこれら不良要因を整合的に除去できるため、高信頼のゲート酸化膜を形成できる。

【0056】

【実施例】以下、図面を参照しながら実施例を説明する。図1～図3を用いて本発明の第1の実施例に係るプロセスシーケンスを説明する。図1は本発明の半導体装置の製造方法を実現するための成膜装置、図2はプロセスシーケンス、図3は工程断面図を示している。上記成

膜装置はバッチ式・ホットウォール形式のもので、一つの反応室から構成されている。

【0057】まず、表面にフィールド酸化膜22が形成され、湿式洗浄によってダスト、不純物のある程度の除去が終了した複数枚の半導体基板1（図3（a））が熱処理ポート7上に積載され、反応室5内に挿入される。（図1（a）、図2（基板搬入））。

【0058】このとき、反応室5の温度は、基板搬入処理時間内に基板表面が酸化を受けない温度、例えば、約400℃程度以下にヒーター6で保たれる。次に反応室5を外気から密閉した状態（図1（b））にした後、反応室5内のガスを窒素等の不活性ガスに充分置換する。これ以後、半導体基板1は管理制御されたプロセスガス雰囲気中に置かれる。

【0059】次に第1のプロセスガスを導入系8より導入し、反応室5内の雰囲気を第1の雰囲気1とし、基板表面の金属不純物および有機物3の除去を行なう（不純物除去）（図2、図3（b））。

【0060】次に第1のプロセスガスを充分に不活性ガス等で置換した後、第2のプロセスガスを導入系8から導入し、反応室5内の雰囲気を第2の雰囲気2とし、半導体基板1の表面の自然酸化膜4を除去する（自然酸化膜除去）（図2、図3（c））。

【0061】次に第2のプロセスガスを充分に不活性ガス等で置換した後、第3のプロセスガスを導入系8から導入し、反応室5内の雰囲気を第3の雰囲気3にする。次いで反応室5と熱平衡状態になった半導体基板1および第3の雰囲気3を、酸化温度、例えば、900℃程度まで高速昇温し、所定の時間保持し、半導体基板1上にゲート酸化膜23を形成する（酸化膜形成）（図2、図3（d））。

【0062】このとき、自然酸化膜の再形成を防ぐため、昇温速度が少なくとも100℃毎分程度以上の条件で昇温を行なうことが好ましい。また、ゲート酸化膜形成用の酸化終了後、第3の雰囲気3を不活性ガス等に置換した後、ゲート酸化膜23のアニール等を行なっても良い。

【0063】また、金属不純物および有機物3、並びに自然酸化膜4の除去後、活性な半導体基板1を次のゲート絶縁膜23の形成工程の前に安定化させることが必要であれば、700℃程度以下の低温で数nm程度のクリーンな初期酸化膜を形成し、活性な表面を安定化させることもできる。

【0064】なお、昇温中の第3の雰囲気3を窒素やアルゴンなどの不活性ガスで十分に希釈して半導体基板上の自然酸化膜成長を抑えることも原理的に可能ではあるが、この場合、自然酸化膜の影響を完全に防ぐには希釈比率を極めて高くする必要があり、反応室内でのガス組成比の不均一性を避けるのが困難で、希釈比率を高くすることは事実上不可能である。更に、この場合、酸化種

を全く含まない雰囲気中で表面の露出した半導体基板を通常の酸化温度まで加熱することは、半導体基板の表面荒れなどを素子製造上致命的な不良につながってしまう。

【0065】次に第3のプロセスガス中でゲート電極となる多結晶半導体膜の堆積工程に必要な温度にまで反応室5を降温する。なお、降温は酸化雰囲気中あるいは第3の雰囲気3を不活性ガス等に置換した後に行なっても良い。降温後、第3のプロセスガスあるいは不活性ガスを多結晶半導体の堆積が可能になる圧力、例えば、10⁻³Torr程度以下の減圧雰囲気まで十分に排気した後、第4のプロセスガスを導入系8から導入し、反応室5内の雰囲気を第4の雰囲気4にして、ゲート電極となる多結晶半導体膜24の堆積を行なう（電極膜堆積）（図2、図3（e））。

【0066】最後に、第4のプロセスガスを充分に排気し、不活性ガス等でパージし、降温した後、表面にMOS構造が形成された半導体基板1を反応室5から搬出する（基板搬出）。

【0067】本実施例の製造方法は、自然酸化膜4が形成された半導体基板1上の金属不純物および有機物3を除去する工程と、半導体基板1上の自然酸化膜4を除去する工程と、ゲート酸化膜23を形成する工程と、このゲート酸化膜23上に多結晶半導体膜24を形成する工程とを、一つの反応室5内で半導体基板1を外気と遮断した状態のまま続けて行なうことを特徴としている。

【0068】更に、半導体基板1上のマイクロラフネスを平坦化する場合には、自然酸化膜4の除去前あるいは除去後に、犠牲酸化膜の形成・剥離工程を少なくとも一回以上繰り返すことが必要である。または、真空中あるいは不活性ガス雰囲気中にて約800℃以上の高温アニールを行なうことが必要である。また、自然酸化膜4の除去後にシリコンエピタキシャル成長を行なったり、自然酸化膜4の除去後に平坦化CDEを行なうことでも平坦化できる。

【0069】また、本発明に至る過程から、上記一連の処理はすべて連続して行なうべきであるが、デバイスの構造あるいはデバイスの性能から考え、絶縁膜（ゲート酸化膜）形成までの連続処理で良いものに関しては、絶縁膜形成後、反応室5の外に取り出すこともできる。

【0070】本発明の半導体装置の製造方法を実現するために、本実施例で示したように、外気と遮断された一つの反応室からなる成膜装置により、上記工程の全てを行なう場合には、搬入、搬出以外の基板搬送がないため、例えば、MOS構造を作成する間、外部からの汚染やダスト発生等の不安定要素を完全に排除することができる。

【0071】また、一つの反応室でプロセスを進めることができるため、プロセスガス中の水分等の不純物（ppb以下）が基板表面に吸着しづらいように、数百℃以

上の高温状態、例えば、200℃以上に反応室と半導体基板とを保持した状態で連続処理できる。

【0072】次に代表的な金属不純物である重金属FeとCuで汚染された半導体基板に対して、本実施例で示した本発明の製造方法によりMOSキャパシタを作成し、その効果を調べてみた。

【0073】FeとCuで自然酸化膜が汚染されたシリコン基板を用いて本実施例の方法に従ってMOSキャパシタを作成した。比較例1の試料として、同時に金属不純物(Fe, Cu)と自然酸化膜とを除去してMOSキャパシタを作成した。更に、比較例2の試料として、金属不純物の除去工程と自然酸化膜の除去工程とを逆にしてMOSキャパシタを作成した。

【0074】これらMOSキャパシタの電気特性を比較した結果を図4、5に示す。図4には、本発明と比較例1、2のMOSキャパシタについて、経時絶縁破壊寿命をワイブル・プロットによって比較した結果が示されている。この図4から比較例1、2に比べて本発明の方が同寿命がそれぞれ1桁または1桁以上改善されていることが分かる。

【0075】図5には、MOSキャパシタの発生ライフタイム(C-t)を比較した結果が示されている。この場合にも、比較例1、2に比べて本発明の方がキャリアの発生時間が長いことが分かる。

【0076】このような結果が得られた理由を図6を用いて説明する。図6(a)に示すように、本発明の場合には、最初の不純物除去の工程によりFeおよびCuが効果的に除去された後、自然酸化膜の除去が行なわれるので、不良原因が整合的に除去される。このため、良質なMOSキャパシタが作成される。

【0077】一方、図6(b)に示すように、比較例1の場合には、金属不純物(Fe, Cu)3と自然酸化膜とが同時に除去されたとしても、部分的にはFe, Cu3がゲート酸化膜23の形成領域で直接シリコン基板1と結合してしまう。また、一部の金属不純物3は、自然酸化膜の除去に用いる無水HFガスと反応し、安定な金属フッ化物に変わってしまう。このような状態で、ゲート酸化膜23を形成すると、シリコン基板1あるいはゲート酸化膜23中に金属不純物3が知り込まれ、電気特性が劣化してしまう。

【0078】また、図6(c)に示すように、比較例2の場合には、最初に自然酸化膜が除去されるため、比較例1以上に活性なシリコン基板1の表面にFe, Cu等の金属不純物3が残ってしまい、同様にシリコン基板1あるいはゲート酸化膜23中に取り込まれ、電気特性が劣化する。更に、自然酸化膜の除去をシラン還元で行なった場合は、高温で処理する必要があるため、シリコン基板1中に表面に吸着した大部分のFe, Cuが半導体基板中に拡散してしまう。

【0079】なお、金属不純物の除去工程と酸化工程と

を連続で行なう方法に関しては、特開平3-129735、また、自然酸化膜の除去工程と酸化工程とを連続して行なう方法に関しては、特開平3-55838、特開平3-55840等に開示されている。しかしながら、上記結果から分かるように、このような部分的な連続処理プロセスを行なっても信頼性の高いMOS半導体装置を製造することができない。

【0080】次に本発明の第2の実施例に係るMOS型半導体装置の製造方法について説明する。本実施例の製造プロセスの一例を図7、図8の工程断面図を用いて具体的に説明する。

【0081】まず、ゲート酸化膜の形成領域に形成された犠牲酸化膜25上に吸着したダストを除去するために、半導体基板1にアルカリ系の湿式洗浄処理を施し、次いで半導体基板1を雰囲気管理された成膜装置内に収納する(図7(a))。

【0082】その後、必要ならば、犠牲酸化膜25の表面に、水、有機溶剤、シリコン等が凝縮した微粒子、高速ガス原子、高速ガス分子線、低エネルギーイオンのいずれかを照射して、搬送時に犠牲酸化膜25の表面に吸着したダストをドライ洗浄によって除去する。

【0083】次に犠牲酸化膜25上の金属不純物3と有機不純物26を除去するために、例えば、HClガスを含む酸化性雰囲気中で熱処理するというドライ洗浄を行なう(図7(b))。

【0084】次に犠牲酸化膜25を除去するために、例えば、無水HFガスを用いたドライ洗浄を行なう(図7(c))。次に基板表面のマイクロラフネスの平坦化を行なうために、例えば、犠牲酸化膜の形成と剥離工程とを一回以上繰り返す(図8(a))。その際、犠牲酸化膜の剥離工程は、例えば、無水HFガスを用いる。

【0085】次にゲート酸化膜23の形成を行なう(図8(b))。このとき、ゲート酸化膜23の形成前に、犠牲酸化膜剥離後の活性な基板表面を安定化させるために、700℃以下の低温で、約1nm程度以下の厚さの絶縁膜を一旦形成してからゲート絶縁膜23を形成すれば、高電界印加におけるリーク電流を十分少なくできる。

【0086】最後に、ゲート絶縁膜23上にゲート電極となる多結晶半導体膜24の形成を行なう(図8(c))。なお、上記プロセス内で、平坦化のために行なう犠牲酸化膜の形成工程およびその剥離工程の間、或いは犠牲酸化膜の剥離後に、犠牲酸化膜上、或いは半導体基板上の金属不純物を除去するドライ洗浄処理を行なっても良い。

【0087】また、最初に成膜装置内部へ挿入する半導体基板は、本実施例で述べた犠牲酸化膜が形成されたものだけでなく、自然酸化膜が形成された半導体基板でも同様に処理できる。

【0088】この手法によると、ゲート酸化膜の形成領

域は一切外気に曝されることなく、また湿式洗浄工程にも曝されることがないので、(A)から(D)までの不良要因の全てを整合的に除去できる。

【0089】図9には、マイクロラフネスの平坦化処理の回数と面内平均荒さとの関係が示されている。面内平均荒さは、原子間力顕微鏡(AFM)を用いて測定した。図中、縦軸はAFMで観察された表面荒れ平均Ra(nm)、横軸は犠牲酸化・剥離回数を示している。この図9から犠牲酸化膜の形成工程とその剥離工程とを繰り返すことによってある程度、平坦度が向上することが分かる。

【0090】本実施例の方法に従って作成されたMOSキャパシタ(本発明)と従来に従って作成されたMOSキャパシタ(比較例3)とについて信頼性評価を行なってみた。

【0091】より詳細には、犠牲酸化膜が形成されたシリコン基板を本実施例で示したゲート酸化膜の形成領域が一切外気に曝されることなく、オールドライ洗浄によって不純物と自然酸化膜とが除去され、且つゲート酸化膜の形成領域のシリコン基板が平坦化処理された後に形成されたMOSキャパシタ(本発明)と、HF系の湿式洗浄処理で犠牲酸化膜を除去し、そのシリコン基板にRCA湿式洗浄を施した後、そのシリコン基板を成膜装置に搬入し、ハロゲンガスを紫外光(UV光)を用いて活性化させ、基板表面の金属不純物と自然酸化膜との除去を行なった後に、ゲート絶縁膜を形成する従来の連続処理で形成したMOSキャパシタ(比較例3)について、経時絶縁破壊寿命の評価を行なった。

【0092】図10に、ゲート絶縁膜の経時絶縁破壊寿命をワイブル・プロットによって比較した結果を示す。この図10から本発明の方が比較例3に比べて経時絶縁破壊寿命が改善され、ゲート絶縁膜の信頼性が向上しているのが分かる。

【0093】この理由は第1に、比較例3ではゲート酸化膜の形成領域をHF系の湿式洗浄処理を含む従来の湿式洗浄工程で処理しているため、薬液中の不純物がゲート活性領域に逆吸着したり、シリコン基板中へ拡散する問題が本質的に解決できないからである。

【0094】第2に、パーティクルカウンターでは検出困難な0.1μm以下のダスト、あるいは炭化水素からなる有機物に関しては、湿式洗浄処理を行なう比較例3ではその吸着量を十分に管理できないからである。

【0095】第3に、基板表面のマイクロラフネスを平坦化する処理が行われていない等が考えられる。以上の結果から、比較例3のように湿式洗浄工程をゲート酸化膜の形成直前に行なった場合は、その後にシリコン基板の表面の不純物および自然酸化膜をドライ洗浄によって除去し、続けてゲート絶縁膜を形成する従来の連続処理を行なっても、デバイスの信頼性を低下させる不良原因を整合的に除去できていないことが分かる。

【0096】一方、本実施例の場合には、犠牲酸化膜がゲート絶縁膜の形成領域上にあり、ゲート活性領域が不安定要因となる湿式洗浄工程および外気に曝されていないため、問題となるのは犠牲酸化膜上のダスト、有機物、金属不純物だけである。このため、これらを整合的に除去した場合には、ゲート酸化膜の形成領域は不安定要因に曝されることないので、良質なゲート絶縁膜が形成される。

【0097】図11には、本発明と従来のDRAMの電荷保持特性の高温放置時間依存性が示されている。図11から、従来例の場合には、高温保持時間が経つにつれて電荷保持特性が劣化するが、本発明の場合には、高温放置時間依存性がなく、良好な電荷保持特性が保たれていることが分かる。これは従来法では基板内部および酸化膜(ゲート酸化膜)中に不純物汚染があることを示し、一方、本発明では基板内部および酸化膜中への不純物汚染が抑えられていることを示している。

【0098】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、熱酸化による絶縁膜(ゲート酸化膜)の場合について説明したが、本発明は、CVD等による堆積絶縁膜にも適用できる。

【0099】具体的には、ジクロロシランとアンモニアによる窒化膜の他、酸化タンタル、チタン酸ストロンチウムなどの高誘電体膜があげられる。また、単層のシリコン熱酸化膜、窒化膜等の絶縁膜だけではなく、不純物が添加された絶縁膜、例えば、熱酸化膜をアンモニアまたは一酸化窒素(N₂O)等の窒化ガスによって窒化したオキシナイトライド膜にも適用できる。同様に、ハロゲン元素が添加された絶縁膜にも適用できる。

【0100】また、上記実施例では、シリコン半導体基板の熱酸化のみを対象としてきたが、本発明は、ポリシリコン膜や、アモルファスシリコン膜等の半導体薄膜にも適用できる。

【0101】更に、プロセスガスの導入方法を考慮すれば、CDE等の化学ドライエッチングによる表面処理も本発明に係る製造装置内で行なえる。また、上記実施例では、バッチ式・ホットウォール型・単一処理室の成膜装置を用いた場合について説明したが、その代わりに、枚様式・コールドウォール型あるいは枚様式・ホットウォール型の処理室からなる成膜装置を用いても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0102】

【発明の効果】以上詳述したように本発明によれば、不良要因を整合的に取り除くことができるので、信頼性の高い絶縁膜を形成できるようになる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を実現するための成膜装置の概略構成を示す模式図

【図2】本発明の半導体装置の製造方法を示すプロセス

シーケンス

【図3】本発明の第1の実施例に係る製造方法を示す工程断面図

【図4】本発明と比較例のMOSキャパシタの経時絶縁破壊寿命を示す図

【図5】本発明と比較例のMOSキャパシタの発生ライフタイムを示す図

【図6】本発明と比較例の汚染状態の違いを示す図

【図7】本発明の第2の実施例に係る製造方法の前半を示す工程断面図

【図8】本発明の第3の実施例に係る製造方法の後半を示す工程断面図

【図9】マイクロラフネスの平坦化処理の回数と面内平均荒さとの関係を示す図

【図10】本発明と比較例のMOSキャパシタの経時絶

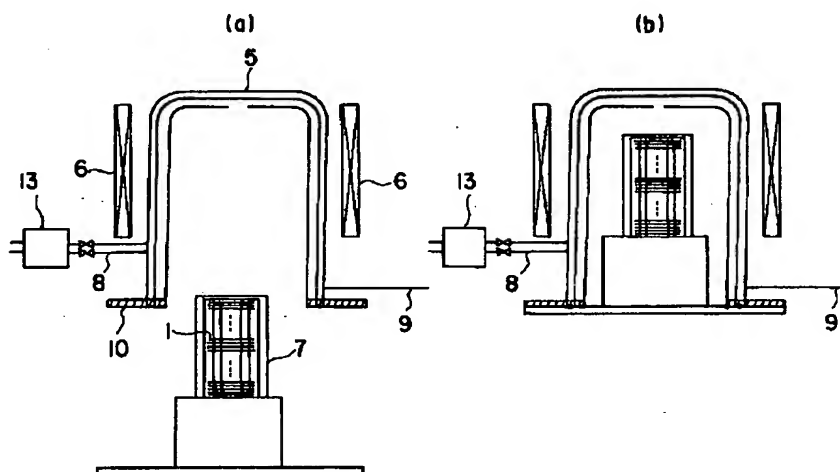
縁破壊寿命を示す図

【図11】本発明と従来のDRAMの電荷保持特性の違いを示す図

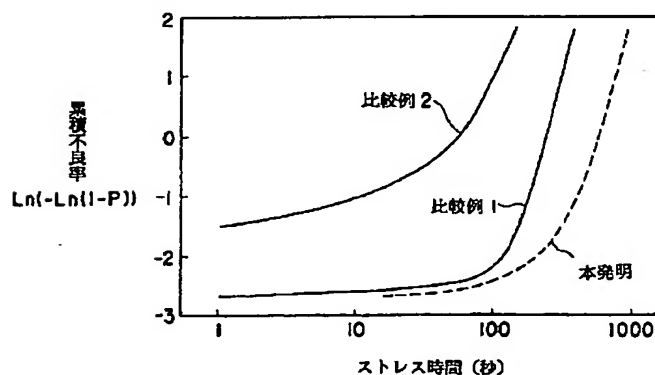
【符号の説明】

- 1…半導体基板
- 3…不純物（金属不純物、有機物）
- 4…自然酸化膜
- 5…反応室（処理室）
- 6…ヒータ
- 7…熱処理ボード
- 8…プロセスガス導入系
- 9…ゲート酸化膜
- 10…多結晶半導体膜
- 13…犠牲酸化膜
- 23…ゲート酸化膜
- 24…多結晶半導体膜
- 25…犠牲酸化膜
- 26…有機物

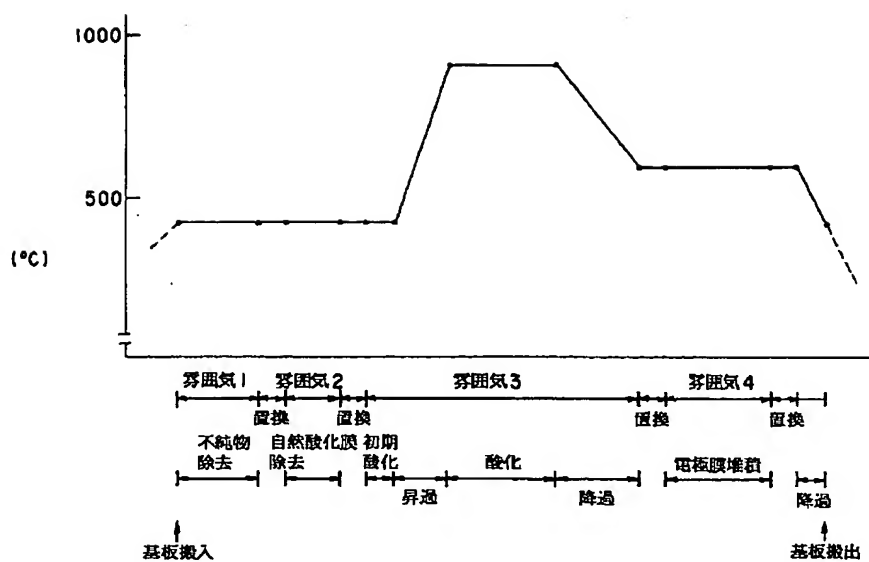
【図1】



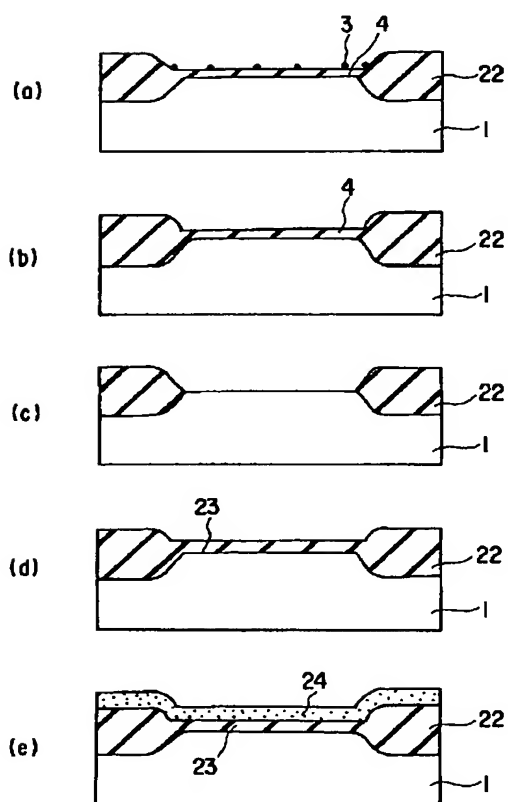
【図4】



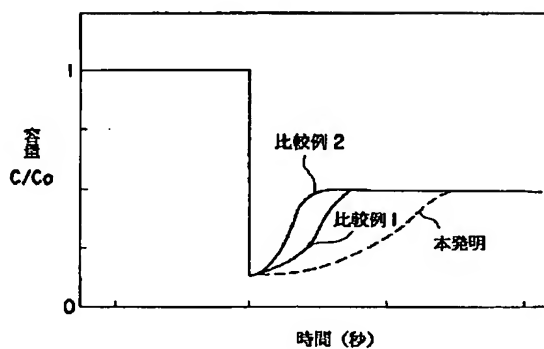
【図 2】



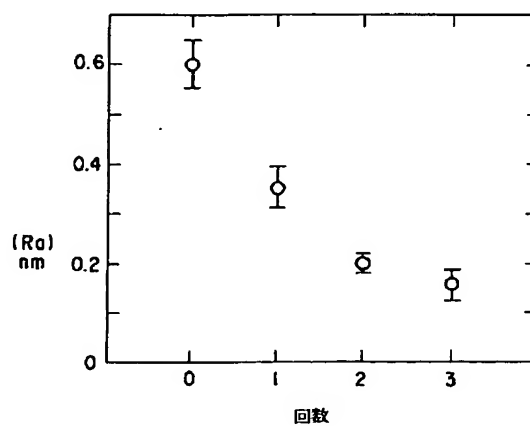
【図 3】



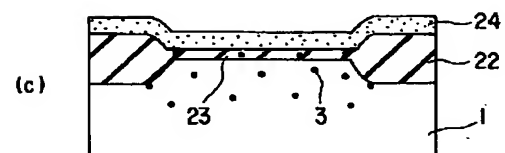
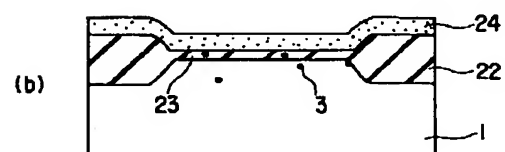
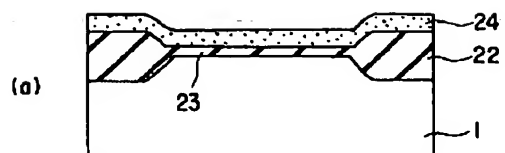
【図 5】



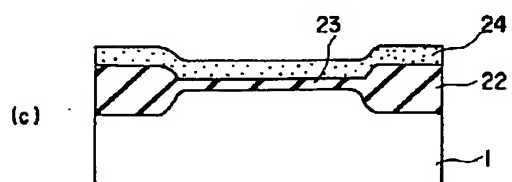
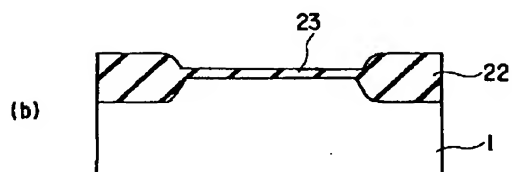
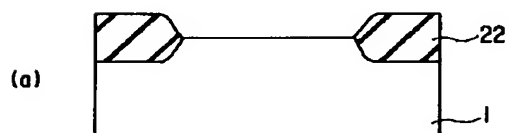
【図 9】



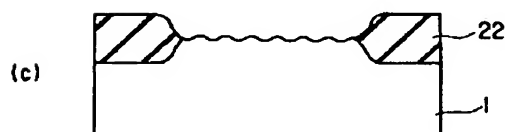
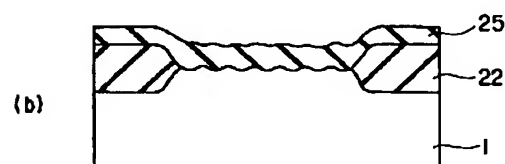
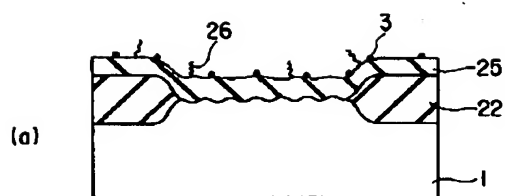
【図6】



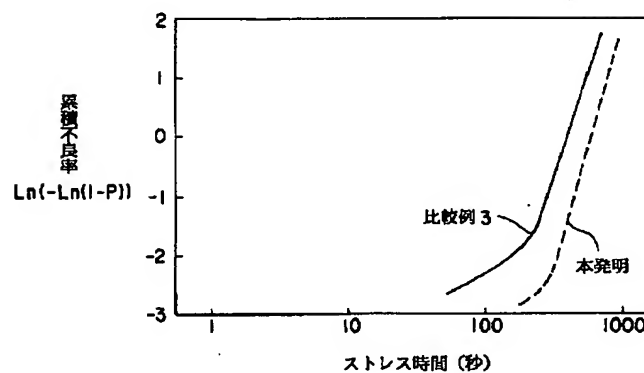
【図8】



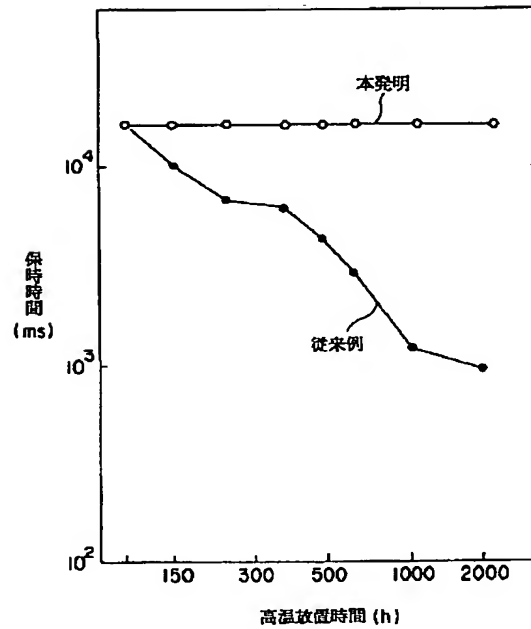
【図7】



【図10】



【図 1 1】



フロントページの続き

(56) 参考文献 特開 平 1-226159 (J P, A)
 特開 昭 64-4026 (J P, A)
 特開 平 2-151031 (J P, A)
 特開 平 3-229415 (J P, A)
 特開 平 5-21459 (J P, A)
 特開 平 3-129735 (J P, A)
 特開 平 3-55838 (J P, A)
 特開 平 3-55840 (J P, A)

(58) 調査した分野 (Int. Cl. ⁷, D B 名)
 H01L 21/304 645
 H01L 21/3065